

A Fully-integrated reader system for Mobile UHF RFID

이영주, 김태환, 박강우, 임고은, 박인철

한국과학기술원(KAIST) 전기 및 전자공학과

Abstract

This paper presents a receiver system developed for mobile UHF RFID readers. To achieve low power consumption without losing programmability and flexibility, a 32-bit processor optimized for the programming of RFID systems is integrated to the digital baseband. In addition, the proposed system contains a configurable baseband modem in which an edge-adjusting scheme is employed for robust data recovery. An efficient BPSK demodulator using absolute comparison algorithm is employed for the analog front-end. An entire RFID reader is fabricated in a 0.18 μm CMOS technology, and its functionality is verified with modeling signals from RFID tags.

1. 서론

RFID 기술은 Reader와 Tag 사이의 근거리 통신을 이용하는 기술로써, 다양한 분야에서 상업화가 이루어지고 있다. 많은 RFID 표준 중에 UHF RFID 시스템은 소형화 기기를 위한 표준으로, 900MHz 대역의 주파수를 이용하고 있다 [1]. 본 논문에서는 소형 모바일 기기에 적합한 RFID 용 아날로그 수신부와 32-bit 프로세서가 내장된 베이스밴드 시스템의 구현을 통하여 보다 효율적이고 통합적인 RFID Reader 시스템을 제안하고 있다. 제안하는 시스템은 0.18 μm 공정을 통하여 구현되었으며, FPGA 등을 이용한 다양한 시뮬레이션을 통하여 모든 동작과정이 검증되었다.

2. 시스템의 구성

그림 1 구현된 RFID Reader 시스템의 다이어그램을 표현하고 있다. 제안된 RFID Reader 시스템은 크게 아날로그 파트와 디지털 파트로 나뉜다. 아날로그 파트는 Tag에서 방송되어 오는 신호를 베이스밴드의 메시지로 복조한다. [1]에 의하면 Tag에서 방송되는 신호는 900MHz의 carrier 주파수를 사용한다. 변조방식으로 ASK와 BPSK 방식을 지정하고 있으며, 저전력 동작이 요구되는 모바일 기기의 특성상 에너지 효율이 좋은 BPSK 방식의 변조가 주로 사용된다. 이를 지원하기 위하여 기존의 연구에서 제안된 구조와 비교하여 효율적인 BPSK 복조 회로가 아날로그 수신부로 구현되었다. 또한 복조된 신호를 분석하고 전체 통신 과정을 제어하기 위하여 효율적인 베이스밴드 모듈과 32-bit 마이크로 프로세서를 포함하는 디지털 시스템이 구현되었다.

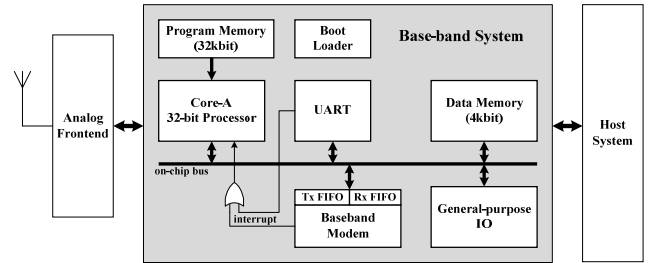


그림 1. 전체 블록 다이어그램

a) Analog front-end part

그림 2는 제안하는 시스템의 아날로그 파트인 BPSK 복조 회로의 전체 다이어그램을 나타내고 있다. 전력 소비를 최소화 하기 위한 dual balanced Gilbert-cell 믹서가 사용되었다. 전송 주파수와 시스템 내부의 local oscillator에서 생성되는 주파수 사이의 위상변위로 인한 오류를 최소화 하기 위하여 제안된 absolute comparison 회로가 그림 3에 표현되어 있다. 제안된 회로는 current comparator를 응용하고 있으며 이를 통하여 PLL과 같은 복잡한 아날로그 회로들의 사용을 최대한 제한함으로써 저전력 시스템의 구현을 가능하게 하고 있다.

b) Digital baseband part

제안하는 시스템의 디지털 베이스밴드 파트는 크게 세 부분으로 나뉜다. 베이스밴드 모듈은 Tag와 통신을 위한 하드웨어로써, 송신과정에서는 Tag에 전달한 데이터를 pulse interval encoding 과정을 거쳐 power amplifier에 전달한다. 수신과정에서는 아날로그 프론트엔드에서 수신된 메시지에, FMO 혹은 Miller decoding 과정을 수행하여 최종 수신 신호를 판단하는 역할을 한다 [1]. 그림 4(a)는 수신과정에서 기존의 방식이 입력데이터의 샘플링 하는 과정에서 생기는 오류를 나타내고 있으며, 이러한 에러를 최소화 하기 위하여 사용된 edge-adjusting scheme이 그림 4(b)에 표현되어 있다.

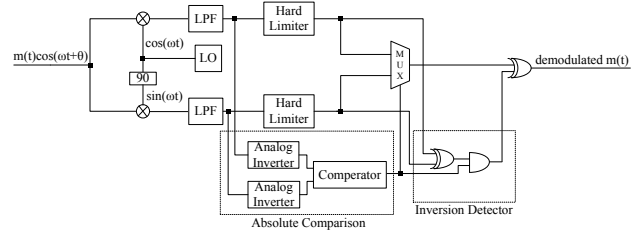


그림 2. 아날로그 프론트엔드의 다이어그램

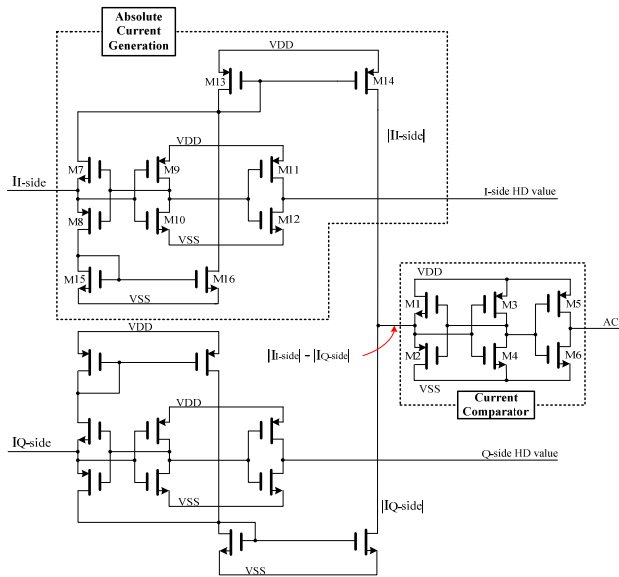


그림 3. Absolute comparison 블록의 회로도

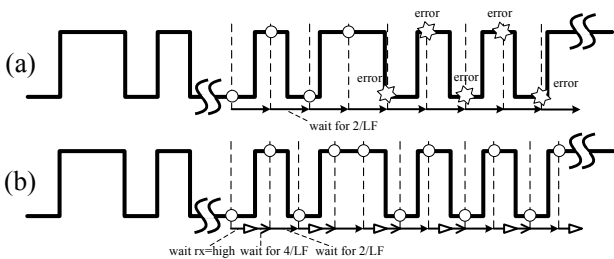


그림 4. 디지털 베이스밴드 모델의 기법들 (a) 기존의 샘플링 방식 (b) 제안하는 edge-adjusting 방식.

전체 시스템을 총괄하기 위하여 모바일 기기로서의 이식성이 높은 저전력 프로세서인 Core-A 32-bit 프로세서가 사용되었다 [2]. Core-A 를 통하여 UHF RFID 표준에서 정하는 모든 parameter 들이 실시간으로 프로그래밍이 가능하며, 이는 제안하는 시스템이 다양한 Tag 들을 추가적인 설계과정이 없이 모두 지원할 수 있음을 의미한다. 또한 Core-A 는 호스트 프로세서와의 통신을 위한 저속 통신 블록들과 시스템을 구성하기 위한 주변 하드웨어를 전체적으로 제어하는 역할을 담당하고 있으며, 이러한 동작들 역시 실시간으로 프로그래밍이 가능하다.

제안하는 시스템은 호스트와의 통신을 위한 모듈로써 UART 블록이 기본적으로 제공하며, 사용자의 편의를 위하여 많은 수의 GPIO 포트를 지원하고 있다. 또한 Core-A 에 사용되는 프로그램을 외부에서 입력하기 위한 FLASH controller 와 필요한 정보들을 내부의 on-chip 메모리에 올리기 위한 boot loader 등이 통합적으로 함께 설계되어, 사용의 편리성을 제공하고 있다.

3. 구현 결과

본 RFID Reader 시스템은 Samsung 0.18um CMOS 공정으로 제작되었으며, 아날로그 파트와 디지털 파트가 모두 하나의 칩에 구현되었다. 그림 5 는 제안하는 시스템의 구현 결과를 보여주고 있다. 디자인 과정에서의 포트 시뮬레이션 결과, 아날로그 파트는 0.25mm × 0.14mm 의 적은 면적을 차지하며, 2.4mW 의 저전력으로 동작하여 기존에 제안된 BPSK 복조회로에 비하여 우수한 성능을 보이고 있다. 표 1 은 제안하는 BPSK 복조회로의 성능을 기존

의 연구들과 비교한 결과를 나타내고 있다. Core-A 프로세서를 내장한 디지털 파트는 16MHz 의 동작주파수를 갖고 있으며, 총 22K 의 적은 로직을 사용하여 1.4mm × 1.2mm 의 면적에 설계되었다. 디지털 파트는 설계과정에서 모든 케이스의 시뮬레이션이 수행되었으며, FPGA 보드를 통하여 전체 동작과정이 검증되었다. 그림 6 은 검증과정에서 사용된 FPGA 보드를 보여주고 있다. Tag 로부터 오는 신호가 모델링 되었으며, 수신된 데이터인 8807 이 화면상에 출력되는 것을 알 수 있다.

4. 결론

본 논문에서는 0.18um 공정을 통하여 제작된, UHF RFID 표준을 만족하는 RFID Reader 시스템을 제안하고 있다. 제안하는 시스템은 효율적인 아날로그 프론트엔드 블록과, Core-A 프로세서를 포함하고 있는 디지털 베이스밴드 블록으로 구성되어 있다. 아날로그 블록은 absolute comparison 회로를 통한 고성능 BPSK 복조회로로 구성되어 있으며, 디지털 베이스밴드 블록은 edge-adjusting scheme 을 적용한 베이스밴드 모델과 전체 동작을 모두 프로그램 할 수 있는 Core-A 프로세서의 응용을 통하여 다양한 Tag 에 대하여 높은 호환성을 보이고 있다.

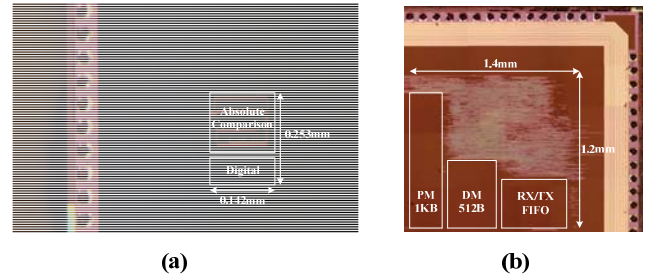


그림 5. 구현 결과 (a) 아날로그 파트 (b) 디지털 파트.

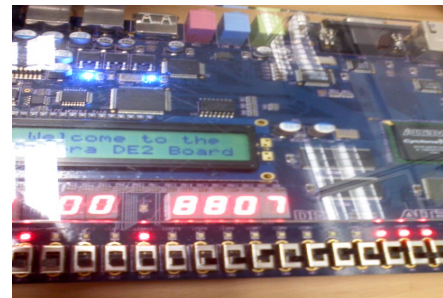


그림 6. FPGA를 통한 디지털 파트의 검증 결과.

Architecture	Proposed	[3]	[4]	[5]
Technology	0.18- μ m CMOS	0.18- μ m CMOS	0.5- μ m CMOS	0.18- μ m CMOS
Carrier frequency	900MHz	2.7GHz	13.56MHz	1.4GHz
Maximum bit-rate	50Mbps	7Mbps	20Kbps	622Mbps
Supply voltage	1.8V	N.A.	3.3V	1.8V
Area	0.033mm ²	1mm ²	1mm ²	0.0315mm ²
Power consumption	2.4mW	151mW	5.15mW	27.5mW

표 1. BPSK 복조기의 성능비교.

Acknowledgement

본 연구는 반도체설계교육센터 (IDEC) 의 지원을 받아 이루어졌습니다.

Reference

- [1] EPCTM Radio-Frequency Identity Protocols Class-1 Generation-2 UHF RFID Protocol for Communication at 860MHz-960MHz Version 1.1.0, EPC global, 2005.
- [2] Ji-Hoon Kim et al., "Design of High-Performance 32-bit Embedded Processor," IEEE ISOC 2008 CDC Contest, Busan, Korea, pp.56-57, Nov. 2008.
- [3] Y. Zheng and C. E. Saavedra, "Coherent BPSK Demodulator MMIC Using an Anti-Parallel Synchronization Loop," in Proc. of IEEE Radio Frequency Integrated Circuits (RFIC) Symposium, 2007, pp. 657-660.
- [4] Z. Luo and S. Sonkusale, "A Novel BPSK Demodulator for Biological Implants," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 6, pp. 1478-1484, July 2008.
- [5] D. Kim et al., "A 622-Mb/s Mixed-Mode BPSK Demodulator Using a Half-Rate Bang-Bang Phase Detector," IEEE Journal of Solid-State Circuits, vol. 43, no. 10, pp. 2284-2292, Oct. 2008.