

# 고성능 솔리드 스테이트 드라이브를 위한 비씨에이치 복호기와 리드 솔로몬 복호기의 복잡도 비교

유호영, 이영주, 박인철  
 한국과학기술원 전기 및 전자공학  
 e-mail : [hyyoo.ics@gmail.com](mailto:hyyoo.ics@gmail.com), [yjlee.ics@gmail.com](mailto:yjlee.ics@gmail.com), [icpark@kaist.edu](mailto:icpark@kaist.edu)

## Comparison between BCH and RS Decoders for High Performance Solid-State Drive

Hoyoung Yoo, Youngjoo Lee, In-Cheol Park  
 School of Electrical Engineering  
 KAIST

### Abstract

Research efforts have been focused on using BCH codes for error control in SSD applications. However, BCH codes often require highly parallel implementations and high Galois Field order due to the long code length. The experimental results quantitatively compare BCH (8752, 8192) and RS (900, 820) decoders and show that the RS decoder with almost the same code rate and length in terms of bit, can achieve smaller hardware complexity compared to the BCH decoder. As a result, the RS code is also a good candidate for the next generation SSD applications.

### I. 서론

일반적으로 솔리드 스테이트 드라이브(SSD)는 솔리드 스테이트 메모리를 사용하는 모든 종류의 저장 매체를 일컫으며, 최근에는 비 휘발성 낸드 플래시를 솔리드 스테이트 메모리로 폭 넓게 사용한다. 하드 디스크 드라이브(HDD) 처럼 플래터나 액츄에이터 암 등의

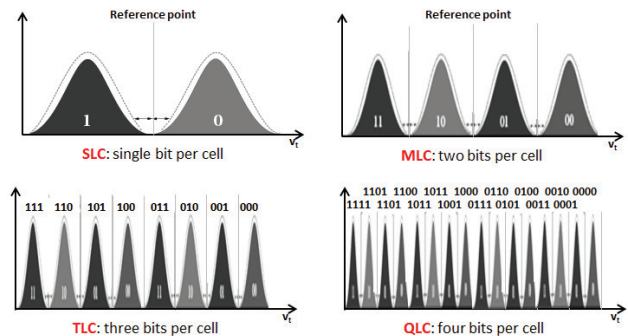


그림 1 셀 당 비트 수에 따른 전하 분포

기계적인 부분이 없기 때문에 SSD는 빠른 접근 속도와 낮은 전력이라는 성능적 장점을 토대로 차세대 저장 매체로서 자리 매김하고 있다. SSD가 HDD에 비해 여러 가지 두드러진 장점을 가지지만, 높은 셀당 비용이라는 치명적인 단점 또한 가지고 있다. 이를 보완하기 위하여 그림 1과 같이 하나의 셀에 2개 이상의 비트를 저장하는 Multi Level Cell (MLC), Triple Level Cell (TLC) SSD 구조가 셀당 비용을 낮추기 위해 제안되었으며 현재 상용화 되고 있다.[1]

정보 저장 집적도를 높이는 MLC, TLC 구조는 셀당 비용을 줄일 수 있지만, 반대급부로서 셀간 거리를 단축시키게 된다. 이로 인하여 저장된 정보 사이에 간섭이 증가하여 기하급수적으로 많은 오류가 발생하게 된다. 최근까지 SSD의 높은 처리량과 심각한 비트 오류

를 만족시키기 위하여 이진 비씨에이치 부호가 지배적으로 사용되어 왔다. 이진 비씨에이치 부호가 리드 솔로몬 부호의 특별한 하나의 경우라는 것은 널리 알려진 사실이며, 리드 솔로몬 부호는 전통적으로 광학 저장 매체, 디지털 브로드캐스팅, 인공위성 통신에 이르기까지 오류 정정을 목적으로 다양한 시스템에 널리 적용되어 왔다.[2]

이진 비씨에이치 부호가 높은 오류 정정 능력을 요구하는 SSD의 솔루션으로 널리 사용되는 시점에서 본 논문에서는 비씨에이치 복호기와 리드 솔로몬 복호기의 복잡도를 정량적으로 비교함으로써 리드 솔로몬 부호 또한 차세대 고성능 SSD를 위한 좋은 솔루션이 될 수 있다는 것을 보이고자 한다.

## II. 본론

### 2.1 리드 솔로몬 복호기

일반적으로 리드 솔로몬 RS(n, k) 부호는 k 정보 심볼과 2t 페리티 심볼로 이루어져 있다. 전체 코드워드 n 심볼은 k+2t 심볼로 이루어지며, 각 심볼은 m 비트로 구성되며 GF(2<sup>m</sup>)의 원소 중 하나이다.[3] 리드 솔로몬 부호의 복호기는 그림 1과 같이 신드롬 (syndrome) 연산, 키 방정식 연산, Chien search 연산, 오류 크기 연산 블록으로 구성되며 주어진 수신 다항식 R(x)에 대하여 오류의 위치와 크기를 결정한다. 오류 위치 다항식(error locator polynomial)  $\Lambda(x)$ 은 오류의 발생 위치를 계산하며, 오류 크기 다항식(error magnitude polynomial)  $\Omega(x)$ 은 잡음 채널에 의해 변형된 정보 심볼의 정정에 필요한 오류 크기의 계산에 이용된다.[5]

### 2.2 비씨에이치 복호기

일반적으로 비씨에이치 BCH(n, k, t) 부호는 k 정보 비트와 mt 페리티 비트로 이루어져 있다. 전체 코드워드 n 비트는 k+mt 비트로 이루어지며, m은 2<sup>m-1</sup> ≥ n을 만족하는 가장 작은 양수이다.[3] 이진 비씨에이치 부호는 리드 솔로몬의 특별한 경우로서 리드 솔로몬 부호가 m 비트 심볼 단위의 연산을 하는 반면, 이진 비씨에이치 부호의 경우 한 비트를 심볼로 가지며 비트 단위의 연산을 수행한다. 결과적으로 오류 비트가 0 또는 1의 값을 가지기 때문에 리드 솔로몬 복호기와 같이 오류 크기 다항식을 계산하는 부분이 불필요하게 된다. 다시 말하자면 신드롬, 키 방정식, Chien search 연산은 리드 솔로몬 복호기와 동일하게 필요하지만 오류 크기 연산은 불필요하게 되며 대신 오류 위치 다항식에서 구해진 오류 위치의 값을 수신 다항식과 XOR 연산함으로써 오류의 정정이 가능해진다.[6]

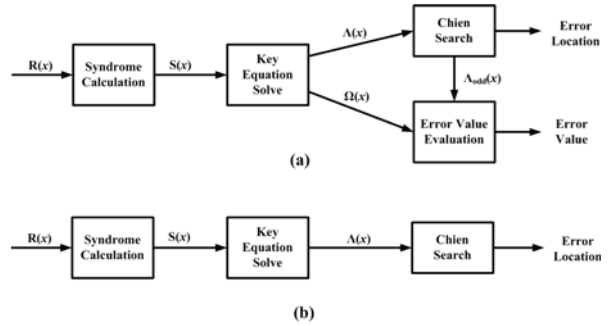


그림 2 리드 솔로몬(a)와 비씨에이치(b) 복호기 블록 다이어그램

### 2.3 신드롬 연산

복호화 과정에서 2t 신드롬은 (1)에 따라 오류의 존재 여부를 파악한다.

$$S_i = R(\alpha^i) = \sum_{j=0}^{n-1} r_j \alpha^{ij}, \quad (1 \leq i \leq 2t) \quad (1)$$

2t 신드롬이 모두 영 심볼이 아닐 경우 수신 다항식 R(x)가 잡음 채널을 통해 오류가 발생하였음을 나타내고, 2t 신드롬은 키 방정식 연산에 사용된다. 그림 3은 p 병렬화 계수로 가지는 신드롬 연산 구조이다. 리드 솔로몬 복호기에서 입력신호가 심볼 단위인 m 비트를 가지는 반면 비씨에이치 복호기에서는 입력 신호가 비트를 가진다.

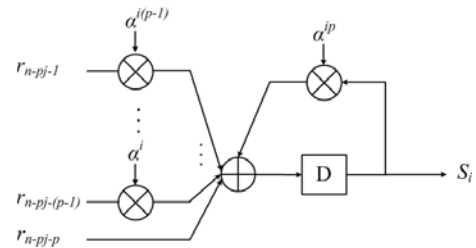


그림3 p-병렬화 신드롬 연산 구조

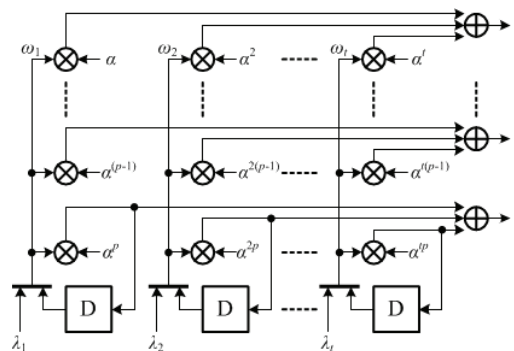


그림4 p-병렬화 Chien search 연산 구조

2.4 키 방정식 연산

신드롬  $2t$ 가 주어진 상태에서 오류 위치 다항식과 오류 크기 다항식을 구하기 위해 다음의 키 방정식을 연산한다.

$$\Lambda(x)[1+S(x)] \equiv \Omega(x) \pmod{x^{2t+1}} \quad (2)$$

보편적으로 Berlekamp-Massey(BM) 알고리즘과 Modified Euclidean (ME) 알고리즘이 키 방정식을 풀기 위해 적용된다. 본 논문에서는 inversionless BM(iBM) 구조를 기반으로 폴딩 기술을 적용한 키 방정식 연산 블록을 사용하였다.[4]

2.5 Chien search 연산

오류 위치 다항식이 계산이 되면, Chien search를 통해 오류의 위치를 결정한다.

$$\Lambda(\alpha^i) = \lambda_0 + \lambda_1 \alpha^i + \dots + \lambda_t \alpha^{it} = \sum_{j=0}^t \lambda_j \alpha^{ij} \quad (3)$$

식 (3)과 같이 반복적으로 가능한 모든  $2^m$  심볼 대입하여 오류 위치 다항식의 근을 찾아낸다. 만약  $\Lambda(\alpha^i)$ 가 영일 경우,  $\alpha^i$ 의 역수가 오류를 가진다.  $p$  병렬화 계수로 가지는 일반적인 chien search 구조가 그림4에 나타나있다. 비씨에이치 복호기에서는 Chien search의 결과인 오류 위치 다항식과 수신 다항식을 XOR 함으로써 오류를 정정 할 수 있다.

2.6 Forney Algorithm

오류의 크기는 식 (4)와 같이 Forney algorithm에 의해 결정된다.

$$e_{n-i} = \frac{\alpha^{-i} \Omega(\alpha^i)}{\Lambda'(\alpha^i)} = \frac{\Omega(\alpha^i)}{\Lambda_{odd}(\alpha^i)} \quad (4)$$

Forney algorithm은 리드 솔로몬 복호기에서만 필요하게 되며 이는 Chien search 구조와 유사하므로 그림 4의 Chien search 구조에 맞게 오류 크기 다항식의 값을 구한 후 GF division을 취하여 오류 크기를 구하도록 한다.

III. 구현과 분석

일반적으로 MLC SSD 구조에서는 8K 바이트와 같은

큰 사이즈의 페이지 단위로 SSD에 접근을 하며, 페이지의 크기는 점차 커지고 있는 추세이다.[1] 본 논문에서는 8K 바이트를 1 페이지로 가정하고 1K 바이트에 대하여 오류 정정이 가능한 GF(2<sup>14</sup>)의 BCH (8752, 8192) 복호기와 GF(2<sup>10</sup>)의 RS (900, 820) 복호기를 비교하였다. 비씨에이치 복호기는 비트 단위의 연산을 하기 때문에 최대 40비트 까지 정정이 가능하며 RS 복호기는 최대 40 심볼까지 정정이 가능하므로 비트로 환산하였을 경우 40비트에서 400비트까지 정정이 가능하다. 따라서 RS(900, 820) 복호기가 BCH (8752, 8192) 복호기에 비해 유사하거나 혹은 더 좋은 오류 정정 능력을 가진다고 할 수 있다.

BCH (8752, 8192) 복호기와 RS (900, 820) 복호기를 삼성 0.13 공정을 이용하여 200MHz 동작 주파수에서 합성하여 복잡도를 비교한 결과는 표 1과 같다.

	BCH (8752, 8192)	RS (900, 820)	RS/ BCH
코드 레이트	0.936	0.911	0.973
갈로아 필드	GF(2 <sup>14</sup> )	GF(2 <sup>10</sup> )	
병렬화 계수	8	1	0.125
신드롬연산	29377	15082	0.513
키방정식연산	139900	74197	0.530
Chien search	11151	6994	0.62
오류크기연산	N.A.	7321	N.A.
Forney연산	N.A.	2238	N.A.
전체 게이트수	180456	105861	0.586
동작 주파수 (MHz)	200	200	1

표 1 BCH (8752, 8192) 복호기와 RS(900, 820) 복호기의 비교

표 1에서 보는 바와 같이 BCH (8752, 8192) 복호기는 병렬화 계수를 8로 가짐으로써 RS (900, 820)보다 신드롬 연산, Chien search 블록에서 더 높은 복잡도를 가지는 것을 확인할 수 있다. 또한 키 방정식 연산에서 리드 솔로몬 복호기가 비씨에이치 복호기 보다 더 작은 복잡도를 가지는 데 이는 비씨에이치 복호기는 상대적으로 복잡한 GF(2<sup>14</sup>) 곱셈기를 사용하는데 반해 리드 솔로몬 복호기는 GF(2<sup>10</sup>) 곱셈기를 사용하기 때문이다. 종합해 보면 비씨에이치 복호기는 상대적으로 큰 GF 승수  $m$ 과 높은 병렬화 계수로 인하여 유사한 오류 정정 성능을 가지는 리드 솔로몬 복호기에 비하여 더 많은 하드웨어 리소스를 필요로 한다.

#### IV. 결론 및 향후 연구 방향

본 논문에서는 MLC SSD 환경의 8K 바이트 페이지에 대하여 유사한 코드 레이트와 길이를 가지는 비씨에이치 복호기와 리드 솔로몬 복호기의 복잡도를 비교해 보았다. 이진 비씨에이치 부호가 높은 오류 정정 능력을 요구하는 SSD의 솔루션으로 널리 사용되고 있지만, 실험결과에 따르면 리드 솔로몬 복호기가 유사한 오류 정정 능력을 가지는 비씨에이치 복호기에 비해 고성능 차세대 SSD 환경에서 더 적은 하드웨어 복잡도를 요구한다는 점에서 리드 솔로몬 부호 또한 매력적인 솔루션으로 적용될 수 있음을 확인하였다. 앞으로 차세대 SSD 시스템을 지원할 수 있는 더 효율적인 복호기 구조에 대한 연구를 진행할 예정이다.

#### Acknowledgement

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)의 지원과 반도체설계교육센터 (IDEC)의 도움을 받아 이루어 졌습니다.  
[No.10035202, 대용량 MLC SSD 핵심기술 개발]

#### 참고문헌

- [1] R. Bez. "Introduction to Flash Memory," Proc. IEEE, vol. 91, no. 4, pp. 489-502, Apr. 2003.
- [2] S. B. Wicker and V. K. Bhargava, Reed - Solomon Codes and Their Application. Picataway, NJ: IEEE Press, 1994.
- [3] S. Lin and D. J. Costello, Error control coding: Fundamentals and Applications, 2<sup>nd</sup>ed. EnglewoodCliffs, NJ: Prentice-Hall Inc., 2004.
- [4] X. Youzhi, "Implementation of Berlekamp Massey algorithm without inversion," Communications, SPeech and Vision, IEEE Proc. vol. 138, pp. 138-140, June. 1991.
- [5] B. Yuan, et. al., "Area-Efficient Reed-Solomon Decoder Design for Optical Communications," IEEE Trans. on Circuits Syst., II, Exp. Briefs, vol. 56, no. 6, pp. 469-473, June, 2009.
- [6] R. Micheloni, et. al, "A 4Gb 2b/cell NAND Flash Memory with Embedded 5b BCH ECC for 36MB/s System Read Throughput," IEEE Inter. Soild-State Circuits Conf., Feb. 2006.