

단일 포트 메모리를 이용한 고성능 저면적 HEVC Deblocking 필터 제안

*이주승, 박인철
한국과학기술원 전기 및 전자공학과
e-mail : jslee@ics.kaist.ac.kr

High-Performance Low-Area HEVC Deblocking Filter with Single-Port Memory Structure

*Jooseung Lee, In-Cheol Park
Department of Electrical Engineering
Korea Advanced Institute of Science and Technology

Abstract

HEVC(High Efficiency Video Coding) is the next generation standard of video coding to improve compression performance in comparison with previous compression standards. We propose a high-performance, low-area Deblocking filter in HEVC with single-port memories. With the proposed single-port odd and even memory structure taking up low area, each pixel of block boundary can be filtered without structural hazard. As a result, the proposed Deblocking filter can reduce area for memory by 25% and support 8K resolution @60fps application with 218MHz working frequency in real time.

I. 서론

HEVC(High Efficiency Video Coding)는 H.264/MPEG-4에 이어 표준화 된 차세대 동영상 부호화 기술이며, H.264와 비교하여 주관 화질 기준 두배, 객관 화질 기준 1.5배 가량의 압축률을 보이고 있다. 최근 4K 또는 8K와 같은 UHD 영상이 보급되기 시작하면서 HEVC에 대한 보다 활발한 연구가 진행 중이다[1].

HEVC 기술에서는 효율적인 영상 압축을 위해 Coding Unit(CU), Prediction Unit(PU), Transform unit(TU)과 같은 연산 단위를 사용한다. CU는 최대 64x64 픽셀의 크기를 가질 수 있으며, 이를 Large Coding Unit(LCU)라 하는데, 이는 다시 32x32, 16x16, 8x8 픽셀 크기를 갖는 더 작은 단위의 CU로 나누어진다. 그리고 각 CU는 그 내부에서 다시 PU 단위로 나뉘져 Prediction을 수행하게 되고, TU 단위로 변환 및 양자화가 이루어진다. 즉, 영상 압축을 위해 수행되는 예측, 변환, 양자화가 CU 내에서 PU 및 TU 단위로 이루어지기 때문에 각 유닛 블록들의 경계에서 픽셀 값들의 불연속이 발생하게 되고, 이는 곧 visible artifact로 이어져 영상 품질을 저하시키게 된다[1].

이와 같은 이유로 HEVC 부호기 및 복호기는 블록 경계에서 불연속성을 줄이기 위한 Deblocking 필터를 사용한다. HEVC의 Deblocking 필터의 경우 H.264에서와 다르게 최소 8x8픽셀 크기를 갖는 블록의 경계에 대해서만 필터링을 수행하며, 경계 결정, 경계 강도(Bs) 계산, 필터링 강도 결정, 필터링 수행과 같은 단계를 거쳐 필터링이 이루어진다. 이 때, 경계 양쪽에 위치한 각 블록들의 필터링은 서로 독립적으로 이루어지기 때문에, 고속 병렬처리를 위한 파이프라인 구조를 갖는 Deblocking 필터가 많이 제안되고 있다.

파이프라인 구조를 갖는 기존 Deblocking 필터들은 기본적으로 on-chip memory로부터 각 경계 양쪽에 위치

한 P, Q블록 데이터를 순차적으로 읽어와 필터링을 수행하고, 필터링 된 픽셀 데이터를 다시 해당 메모리 위치에 저장한다. 즉, 파이프라인 구조를 사용하게 되면, 메모리 Read 연산과 Write 연산이 항상 동시에 이루어지기 때문에 structural hazard가 존재하게 된다. 기존의 필터 구조에서 이를 해결하기 위해 추가적인 임시 버퍼를 사용하거나[2] On-chip 메모리 구조로 이중 포트 메모리를 사용하였다[3][4][5]. 그러나 전자의 경우에는 추가적인 버퍼 access 동작이 필요하며, 후자인 이중 포트 메모리를 사용할 경우에는 단일 포트 메모리에 비해 더 많은 전력을 사용하고, 구현 시 더 많은 면적을 차지하기 때문에 높은 비용이 요구된다는 단점을 갖는다.

본 논문에서는 이러한 단점을 극복하고 효율적으로 structural hazard를 해결하기 위해 단일 포트 메모리 구조와 access 방식을 제안한다. 기존의 이중 포트 메모리의 절반의 Depth를 갖는 단일 포트 메모리 두 개를 사용하여 교차 access를 수행함으로써 기존과 동일한 전체 메모리 depth를 가지면서 동시에 동일한 access 횟수로 동일한 결과를 얻을 수 있는 필터 구조를 제시한다.

II. 본론

2.1 전체 필터 구조

그림1은 본 논문에서 사용된 Deblocking 필터의 전체 블록 다이어그램을 모사하고 있다. 기본적으로 32x32 사이즈의 quarter LCU(이하 qLCU) 단위로 필터링을 수행하며, 필터 동작 컨트롤과 경계 결정 연산을 수행하는 control unit과 경계 강도(Bs)계산, 필터링 강도 결정, 필터링 연산을 수행하는 datapath로 구성된다. 이와 더불어 필터링이 수행되는 각 경계의 P, Q블록을 동시에 읽고 쓰기 위한 메모리가 각각 존재한다. Control unit 및 datapath에서의 연산은 파이프라인 구조로 수행되며, 각 단계에서 수행하는 연산은 다음과 같다.

- 1) 단계1(MR) : 메모리로부터 P, Q 블록의 픽셀 데이터를 읽고, 동시에 경계 결정 연산을 수행한다.
- 2) 단계2(BS) : 각 블록의 예측모드, 모션벡터 등의 데이터를 통해 경계 강도(Bs)를 계산한다.
- 3) 단계3(FS) : 앞 단계에서 계산된 Bs값과 beta, t_c 값을 이용하여 해당 경계의 필터링 강도를 결정한다.
- 4) 단계4(FIL) : 결정된 필터링 강도에 따라 P, Q블록의 픽셀 데이터에 대한 필터링이 수행된다.
- 5) 단계5(MW) : 필터링 된 픽셀 데이터를 다시 on-chip 메모리에 저장한다.

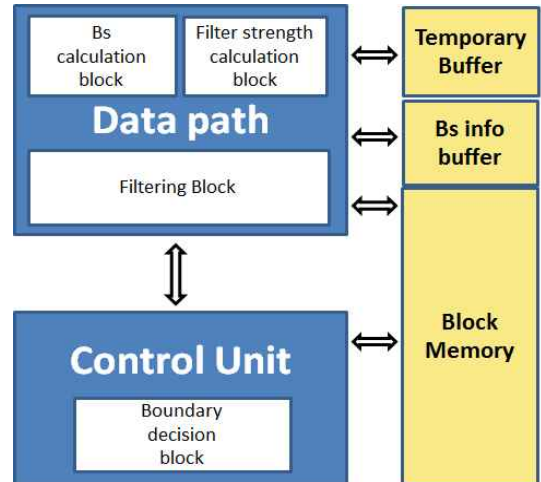


그림1. 전체 블록다이어그램

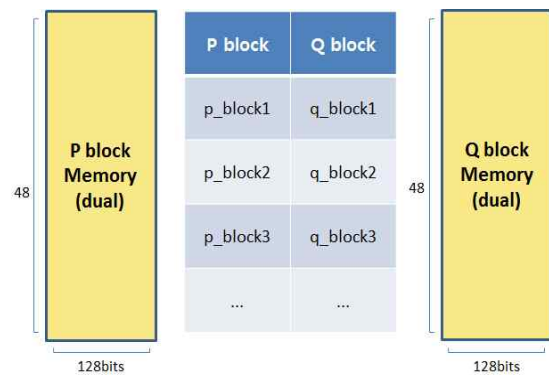


그림2. 기존 메모리 구조

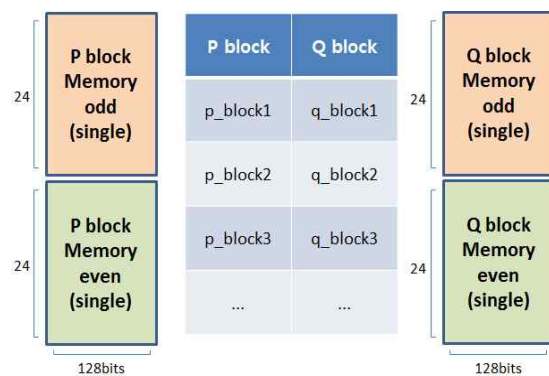


그림3. 제안된 메모리 구조

2.2 기존의 메모리 구조

그림2는 기존의 Deblocking 필터에서 사용된 메모리 구조를 모사하고 있다. P, Q블록 데이터를 동시에 access 하기 위해 각 블록 데이터를 저장하는 메모리를 따로 구성하고 있으며, 동시에 읽기/쓰기를 수행하기 위해 이중 포트 메모리를 사용한다. 보다 자세히 qLCU

내부를 8x8 블록으로 나누었을 때, 각 블록 경계의 왼쪽(수직 경계) 또는 위쪽(수평 경계)의 4x4픽셀 블록이 P블록에 해당하며, 오른쪽 또는 아래쪽의 4x4픽셀 블록이 Q블록에 해당한다. 제시된 두 개의 메모리는 이러한 P, Q블록 데이터를 각각 저장하며, 한 번에 각 P, Q블록의 전체 픽셀 값을 access할 수 있도록 128bit width를 갖는다[5].

2.3 제안된 메모리 구조

그림3은 본 논문에서 제시한 Deblocking 필터에서 사용된 Half-sized 홀수/짝수 단일 포트 메모리 구조를 묘사하고 있다. 기존의 P, Q블록을 위한 두 개의 이중 포트 메모리를 절반의 크기를 갖는 단일 포트 메모리로 나누었으며, 나누어진 두 개의 홀수/짝수 메모리는 각각 홀수 번째와 짝수 번째 P, Q블록 데이터를 저장한다. 제안된 각 홀수/짝수 메모리를 교차로 read/write 함으로써 이중 포트 메모리 사용 없이 structural hazard를 해결할 수 있다.

그림4는 제안된 메모리 구조를 이용하기 위한 파이프라인 연산을 보다 자세히 묘사한 것이다. 각 파이프라인 연산을 통해 홀수, 짝수 번째 P, Q블록 데이터가 번갈아가며 필터링 된다. 한편 메모리로부터 데이터를 읽거나 쓰기 위해 실제로 MR, MW 단계의 이전 단계에서 메모리에 주소 값 및 Read/Write 신호를 인가해야 하기 때문에, 그림4에서 Pre 단계와 FIL 단계를 수행할 때 메모리 컨트롤이 수행된다. 즉, 제시한 메모리 구조를 이용하여 홀수/짝수 메모리를 각각 읽고 쓰기 위해서는 Pre단계와 FIL단계가 병렬로 수행될 때 각 메모리를 access할 수 있어야 한다. 이러한 이유로 MR과 BS 단계 사이에 Delay 단계가 추가되었다. 그림4에서는 필터링이 끝난 블록1(홀수) 데이터를 홀수 메모리에 저장하면서 동시에 짝수 메모리로부터 블록6(짝수) 데이터를 읽는 과정을 나타내고 있다. 이와 같이 제안된 메모리 구조와 access 방식을 통해 동일한 access time에서 필터링을 수행할 수 있다.

III. 구현

Verilog HDL을 이용하여 제안된 메모리 구조를 사용한 Deblocking 필터를 구현하였다. 그림5, 그림6을 통해 각각 필터링 전 후의 영상을 묘사하였고, 보다 자세한 필터링 결과를 확인하기 위해 그림7을 통해 확대한 영상을 묘사하였다. 필터링의 결과로 각 블록의 경계가 비교적 부드러워진 결과를 확인할 수 있다. 그림8은 홀수/짝수 메모리로부터 교차 순서대로 블록 데이터가 Read되는 과정을 확인한 결과이다.

표1은 설계된 Deblocking 필터를 65nm CMOS 공정을 이용하여 합성한 결과이다. 도시한 값은 equivalent

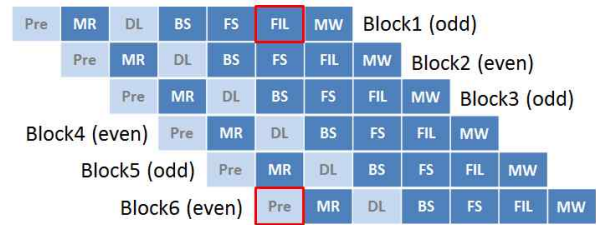


그림4. 파이프라인 연산 과정



그림5. 필터링 전 영상



그림6. 필터링 후 영상

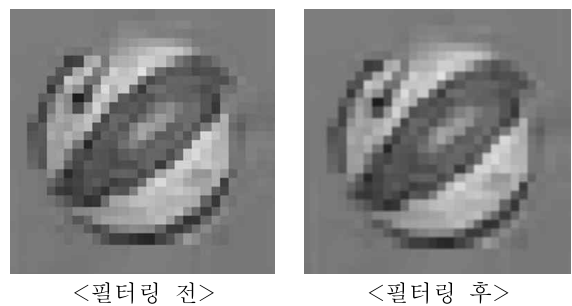


그림7. 필터링 전 후 확대 영상

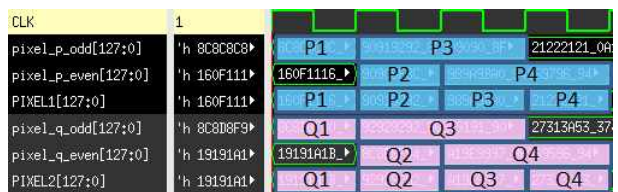


그림8. 메모리 교차 읽기 동작 확인

	기존 필터	제안된 필터
필터 회로	31K	32K
메모리	44K	33K
전체	75K	65K

표1. Gate count 요약(2-input NAND)

gate count를 의미하며, 비교를 위해 이중 포트 메모리를 사용한 기존 HEVC Deblocking 필터의 구현 결과를 함께 도시하였다.

구현 결과로부터 단일 포트 메모리의 사용을 통해 메모리 공간의 크기가 25% 감소되었음을 확인할 수 있다. 이와 더불어 설계된 필터의 critical path delay는 2.5ns로 최대 400MHz 클럭 주파수에서 동작할 수 있다.

한편 제안된 필터의 경우 기존과 동일한 동작 속도로 각 파이프라인 연산에서 하나의 경계를 필터링 하기 때문에 새로 파이프라인에 추가된 MR, Delay 단계로 인한 2 클럭 만큼의 지연 이외에 추가적인 퍼포먼스 저하는 없다. 결론적으로 112 클럭 주기만큼의 시간 동안 32x32 qLCU를 처리할 수 있으며, 218MHz 동작 주파수에서 8K 해상도 @60fps 영상을 실시간으로 처리할 수 있다.

IV. 결론 및 향후 연구 방향

본 논문에서는 기존의 HEVC Deblocking 필터에서 사용된 이중 포트 메모리로 인한 면적과 비용 손실을 줄이기 위해 단일 포트 홀수/짝수 메모리 구조를 사용한 필터 구조를 제시하였다. 제안된 메모리 구조 및 동작 방식을 통해 기존의 필터와 비교하여 메모리 크기를 25% 감소시킬 수 있다. 이렇게 감소된 면적을 통해 비용 이득을 취하거나 또는 절약된 면적에 추가적인 동작 속도 향상을 위한 병렬처리 회로를 구성할 수 있다. 제안된 필터의 경우 8K 해상도 @60fps 영상을 처리할 때 최소 218MHz의 동작 주파수가 요구되는데, 추가적인 병렬 연산 회로를 구성하여 qLCU 처리 시간을 기존 112 클럭 주기보다 감소시키면 더 낮은 동작 주파수에서 실시간 필터링을 수행할 수 있다. 따라서 차후에는 제안된 메모리 구조를 가지면서 동시에 휘도성분 블록과 색차성분 블록을 병렬 처리할 수 있는 필터 구조에 대한 연구를 진행하도록 한다.

Acknowledgement

이 논문은 2013년 정부(미래창조과학부)의 재원으로 (재)스마트 IT 융합 시스템 연구단(글로벌프론티어사업)의 지원을 받아 수행된 연구임 ((재)스마트 IT 융합시스템 연구단-2011-0031860)

참고문헌

- [1] Andrey Norkin et al., "HEVC Deblocking Filter" in Proc. *IEEE Trans. Circuits And Systems For Video Technology. (T.CAS-VT)*, 2012.
- [2] Ke Xu, and Chiu-Sing Choy, "A Five-Stage Pipeline, 204 Cycles/MB, Single-Port SRAM-Based Deblocking Filter for H.264/AVC" in Proc. *IEEE Trans. Circuits And Systems For Video Technology. (T.CAS-VT)*, 2008.
- [3] Jinjia Zhou et al., "A 136 CYCLES/MB, LUMA-CHROMA PARALLELIZED H.264/AVC DEBLOCKING FILTER FOR QFHD APPLICATIONS" in Proc. *IEEE International Conference on Multimedia and Expo. (ICME)*, 2009.
- [4] Weiwei SHEN, Yibo FAN, and Xiaoyang ZENG, "A 64 Cycles/MB, Luma-Chroma Parallelized H.264/AVC Deblocking Filter for 4K x 2K Applications" in Proc. *The Institute of Electronics, Information and Communication Engineers. (IEICE)*, 2012.
- [5] Weiwei Shen et al., "A High-Throughput VLSI Architecture for Deblocking Filter in HEVC" in Proc. *International Symposium on Circuits and Systems (ISCAS)*, 2013.