

Image Signal Processor for CMOS Image Sensors with Merged Operations

김기모, 박인철

한국과학기술원(KAIST) 전자전산학과 전기및전자전공

Abstract - This paper presents the design of a digital image signal processor developed for CMOS image sensors. CMOS image sensors (CISs) have various benefits compared with charge-coupled devices (CCDs), though the image acquired from a CIS has lower quality than that from a CCD. In order to enhance the quality of CIS images, it is required to do enhancing and reproducing processes such as color demosaic, color correction, white balance, gamma correction, and color conversion. In traditional designs, those processes are implemented separately. In this paper, we propose a new architecture to combine color correction, white balance, and color conversion into one operation, leading to less hardware and latency. We also propose an efficient gamma correction block that uses only one piece-wise linear gamma correction block, while conventional processors use three look-up table (LUT) blocks for each channel. In addition, an efficient hardware architecture is proposed for image signal processing and implemented in HDL.

1. Introduction

최근 몇 년간 디지털 카메라, PC 카메라, 휴대폰용 카메라 등 이미지 센서 및 시스템의 소형화, 저전력화, 고집적화가 요구됨에 따라서 기존에 주로 사용되던 CCD 이미지 센서에서 CMOS 이미지 센서(CIS)로 대체되는 경향이다. CIS는 CCD 센서에 비해 전력 소모가 적고, 이미지 센서 이외의 디지털 블록과의 집적이 가능하다는 장점 때문에 최근의 휴대용 이미지 센서 시스템에 많이 응용되고 있다. 그러나 CIS에서 획득된 영상은 CCD 이미지 센서에서 획득된 영상에 비하여 영상의 질이 좋지 않다는 단점이 있다. 이러한 단점을 보완하기 위해서 CIS에서 획득된 영상에는 몇 단계의 이미지 처리 과정이 필요하다. 이미지 프로세서에는 color demosaic, color correction, white balancing, gamma correction, color conversion, 등의 처리 과정이 필요하다. 본 논문에서는 블록간 연산의 유사성을 이용한 merged color matrix 구조를 제안하고, reduced gamma 블록을 제안함으로써 전체적으로 하드웨어 사용을 크게 줄이고 출력 latency를 줄일 수 있는 프로세서를 제안한다. 본 논문의 이미지 프로세서는 simulation을 통해 검증하고 HDL을 이용한 구현 및 0.18um 공정을 이용하여 합성하였다.

2. Conventional architecture and functional descriptions

일반적인 이미지 프로세서의 구성은 그림 1과 같다. CIS로부터 이미지 데이터를 전달 받아 몇 단계의 과정을 통해서 이미지를 처리하고, 이미지를 출력하는 display 장치, 또는 저장하기 위해서 JPEG compressor로 전달된다. 이미지 프로세서는 크게 6개의 기능 블록으로 구성되어 있다. 즉, color

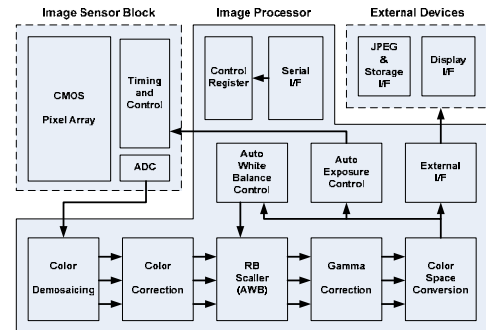


그림 1. Block diagram of Image Signal Processor

demosaic, color correction, white balance (RB scale), gamma correction, color conversion, auto control로 구성된다.

CIS 등 이미지 센서는 color filter array (CFA)를 사용하기 때문에 센서로부터 얻은 Bayer pattern 이미지에서 누락된 나머지 두 개의 값을 복원하는 과정(demosaic)이 필요하다. 하드웨어의 복잡도와 이미지의 질을 고려하여 보통 Bilinear Interpolation Algorithm을 사용한다. 프로세서에서 처리된 color space는 이미지 센서의 CFA와 photo-detector response에 의해서 결정되기 때문에 처리된 색이 실제 출력 장치 상에서 올바르게 보이기 위해서는 출력 장치의 color space와 같도록 하는 변환 과정(correction)이 필요하다. Display에 출력되는 이미지는 촬영 당시의 조명에 따라서 많은 영향을 받는다. 즉, 하얀 종이를 형광등 아래서 찍은 경우와 백열등 아래서 찍은 경우 푸른빛으로, 또는 노란빛으로 나타난다. White balance를 맞추기 위해서 RB scale이 필요하다. 출력 장치에서 생성되는 빛의 intensity는 입력 값(processed RGB)에 non-linear 한($Z \propto Y^{2.22}$) 특성을 갖는다. 출력 intensity가 linear 하도록 pre-warping($Y \propto X^{1/2.22}$)하는 gamma correction이 필요하다. 이미지의 JPEG 압축이나 대부분의 enhancement는 RGB보다는 YUV space에서 더 효율적이기 때문에 이를 위해서 RGB-to-YUV conversion이 필요하다. Auto control을 위해서 매 프레임마다 각 채널의 평균값을 제공하고, histogram 정보를 제공하는 블록이 필요하다. 이들 정보와 미리 설정된 threshold 값에 의해서 AE와 AWB의 조절이 가능하다.

3. Proposed architecture

기존의 이미지 프로세서들은 그림 1과 같이 각 기능별 블록들이 하나씩 따로 설계되어 왔다 [1-5]. 그러나 몇몇 블록들은 유사한 연산을 수행하는 블록들이 있기 때문에 비슷한 기능별 블록들을 합하여 하나의 블록으로 구현하는 경우 하드웨어의 사용량을 줄이고, 블록의 연산량을 줄일 수 있으며, 결과적으로 low-cost, low-latency의 설계가 가능

하다. 유사한 연산 블록을 합치려는 시도가 있었다. 즉, color demosaic 과 color correction 을 하나의 블록으로 구현한 경우이다[1]. Bilinear interpolation algorithm 을 사용하는 demosaic 블록과 color correction 블록은 모두 3X3 pixel window 를 사용하는 연산이기 때문에 두 블록의 merge 가 가능하다. 그러나 이와 같은 merge scheme [1]은 demosaic 의 window mask 의 대칭성을 이용하지 못하는 단점이 있고, 결과적으로 demosaic 의 대칭성을 이용한 구조에 비해서 더 많은 하드웨어를 줄일 수 없게 된다.

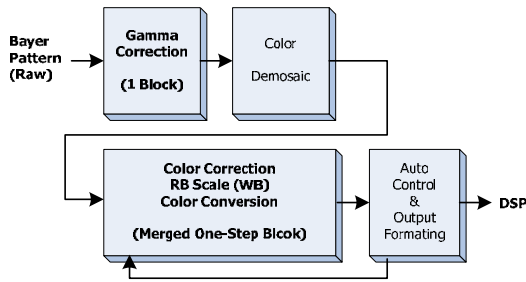


그림 2. Proposed Architecture

본 논문에서는 demosaic window 의 symmetry 를 그대로 이용하여 기존의 merge scheme[1]의 단점을 보완하는 새로운 merge scheme 을 제안하고, reduced gamma block 을 제안하고 있다. 그림 2 는 제안하는 이미지 프로세서의 구조를 간단하게 도시한 것이다. 본 논문에서 제안하는 구조는 color correction, RB scale, color conversion 을 merge 한 구조이다. Color correction 은 그림. 3(a)와 같은 3X3 matrix 곱셈으로 표현할 수 있다. RB scale 은 그림. 3(b)와 같이 Red 와 Blue 값에 scale factor 를 곱하는 연산으로 3X3 matrix 곱셈으로 표현할 수 있다. Color conversion 은 그림. 3(c)와 같은 3X3 matrix 곱셈과 3-offset 덧셈으로 표현이 가능하다.

$$\begin{bmatrix} Y \\ U \\ V \end{bmatrix} = \begin{bmatrix} CV11 & CV12 & CV13 \\ CV21 & CV22 & CV23 \\ CV31 & CV32 & CV33 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} + \begin{bmatrix} OFF1 \\ OFF2 \\ OFF3 \end{bmatrix}$$

(c) Color Conversion (b) RB Scale (a) Color Correction (c) offsets

$$\begin{bmatrix} Y \\ U \\ V \end{bmatrix} = \begin{bmatrix} C\gamma W11 & C\gamma W12 & C\gamma W13 \\ C\gamma W21 & C\gamma W22 & C\gamma W23 \\ C\gamma W31 & C\gamma W32 & C\gamma W33 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} + \begin{bmatrix} OFF1 \\ OFF2 \\ OFF3 \end{bmatrix}$$

(d) Merged Color Matrix

그림 3. Color matrix and Merged matrix

그림 3(a-c)에서 볼 수 있듯이 3 개의 블록은 3X3 matrix 로 표현될 수 있고, 그림 3(d)와 같이 하나 3 X 3 matrix 로 merge 할 수 있다. 3 개의 블록을 하나로 합치는 새로운 merge scheme 이 가능하게 되고, 기존의 merge scheme [1]에 비하여 하드웨어 사용을 크게 줄일 수 있으며, 출력 latency 또한 [1]에 비해서 크게 줄이는 효과를 기대할 수 있다.

앞에서 제안한 merge scheme 을 적용하는 과정에서 그림 2 에서 볼 수 있듯이 gamma 블록이 앞으로 이동한 것을 볼 수 있다. 그 결과로 기존의 3 개이던 gamma 블록이 CIS 의 데이터에 대해서만 correction 하는 하나의 gamma 블록으로

줄일 수 있다. Reduced gamma 블록은 LUT 대신에 그림 4 와 같이 programmable 한 기능을 갖는 piece-wise linear gamma 블록으로 구현하여 효율적인 gamma correction 이 가능하다.

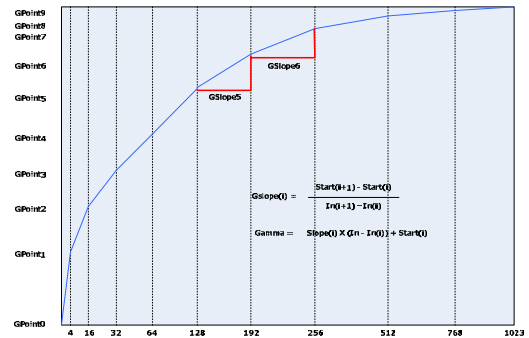


그림 4. Piece-wise linear Gamma Correction

4. Implementation

제안한 구조는 3X3 matrix 형태의 3 개의 블록을 하나의 3X3 matrix 로 one-shot 연산이 가능하다. Merged color matrix 의 결과 CIS 이미지에 대한 하나의 gamma 블록으로 줄일 수 있었다. 구현된 이미지 프로세서는 external IF 뿐 아니라 내부의 control register 를 program 할 수 있도록 serial IF 를 제공한다. 본 논문은 이미지 프로세서를 HDL 을 이용하여 설계하였고, High-level 의 simulation 뿐 아니라, HDL simulation 을 통해서 전체적인 동작을 검증하였다. 설계된 프로세서는 CMOS 0.18um 공정으로 합성하였으며, VGA 급 이미지에 대해서 30 frames/s 에서 동작한다.

5. Conclusion

본 논문은 CMOS 이미지 센서를 위한 새로운 구조를 갖는 이미지 프로세서를 제안하였다. 유사한 연산을 하는 여러 블록들을 하나로 합치는 새로운 merge scheme 을 제안하고, program 이 가능한 reduced gamma 블록을 제안함으로써 하드웨어 사용을 크게 줄이고 출력 latency 역시 크게 줄일 수 있는 이미지 프로세서를 구현하였다.

References

- [1] Kuo-Tang Kuo, "Fast integrated algorithm and implementations for the interpolation and color correction of CCD-sensed color signals", ISCAS, vol. 4, pp.225 – 228, May. 1998.
- [2] Loinaz, M.J, "A 200-mW, 3.3-V, CMOS color camera IC producing 352X288 24-b video at 30 frames/s", IEEE Journal of Solid-State Circuits, vol. 33, pp.2092 – 2103, Dec. 1998.
- [3] Hansoo Kim, "Digital signal processor with efficient RGB interpolation and histogram accumulation", IEEE Transaction on Consumer Electronics, vol. 44, pp.1389 – 1395, Nov. 1998.
- [4] Yun Ho Jung, "Design of real-time image enhancement preprocessor for CMOS image sensor", IEEE Transaction on Consumer Electronics, vol. 46, pp.184 – 185, Feb. 2000.
- [5] Rongzheng Zhou, "System-on-chip for mega-pixel digital camera processor with auto control functions", International Conference on ASIC, vol. 2, pp.894 – 987, Oct. 2003.