

저면적, 고성능의 HEVC 적응적 루프 필터 설계

*여세동, 박인철

한국과학기술원 전기 및 전자공학

e-mail : sdyeo@ics.kaist.ac.kr, icpark@kaist.edu

Low Area and High Throughput Hardware Design for the Adaptive Loop Filter in HEVC

*Saedong Yeo, Incheol Park

School of Electrical Engineering

KAIST

Abstract

A hardware design for the adaptive loop filter(ALF) cores characterized by the high throughput and low area is proposed for improving the subjective video quality. The main idea for the ALF is to minimize the mean square error between original pixels and decoded pixels by using Wiener filter. In this architecture, a combination of 9×7 -tap cross shape and a 3×3 -tap rectangular shape is used for the filter shape. This work is focused on the filtering process assuming that the filter coefficients are known. The proposed architecture is implemented in 130nm CMOS process, and achieves the result that reduces gate count(NAND2) about 20% compared to existing hardware at maximum operation frequency(416MHz).

I. 서론

최근의 멀티미디어 서비스들은 High Definition(HD)를 뛰어 넘어 Ultra High Definition(UHD)와 같이 매우 고해상도 및 고화질의 영상을 요구하는 경우가 점

점 생겨나고 있는 실정이다. 이러한 환경에 맞춰 우리는 최신 압축 표준에 해당하는 H.264/AVC보다 좀 더 뛰어난 압축효율을 보여주는 표준이 필요로 하게 되었다. 그리하여 생긴 차세대 영상 압축 표준이 High Efficiency Video Coding(HEVC)에 해당한다. High Efficiency Video Coding(HEVC)는 ISO/IEC MPEG(Moving Picture Experts Group)과 ITU-T VCEG(Video Coding Experts Group)로 구성된 Joint Collaborative Team on Video Coding(JCT-VC)에 의해 개발되었다. HEVC는 H.264/AVC에 비해 동일한 visual quality상에서 50%의 비트율 감소를 목표로 삼고 있다[1]. HEVC상에서 압축효율을 올리기 위한 여러 가지 기술들이 존재하지만 본 논문에서는 그 중에서 주로 양자화에 의해 발생한 오류들을 보상함으로써 주관적 화질을 높이는 적응적 루프 필터링 기술(ALF)에 초점을 맞추고 있다.

ALF는 Wiener filter에 기반을 두고 원본 영상과 복원된 영상 간의 최소자승오차를 줄이는 기술에 해당된다. ALF를 통해 필터링을 수행할 때 우리는 필터 모양과 그 필터 모양에 맞는 필터 계수들을 필요로 하게 된다. 본 연구에서는 필터 모양을 HEVC Model(HM)-7.0에서 채택하고 있는 9×7 의 십자가 모

양에 3×3의 직사각형 모양이 합쳐진 형태를 이용하였다[1]. 이는 symmetric한 형태를 띄고 그에 따라 계수들도 symmetric한 특성을 띄기 때문에 filtering 될 pixel값 계산 시 수행되는 multiplication수를 줄일 수 있다는 장점이 있다.

본 논문에서는 ALF를 통해 filtering을 계산하는 과정 즉, ALF core에 해당하는 부분에 있어서 개선을 하고자 노력하였다. high throughput과 low area 이 두 가지 측면에서 고려하여 설계하였다. high throughput 측면은 이미 타 연구에서 고려한 설계가 존재하여 이를 응용하였고[2] 본 연구에서는 low area에 초점을 맞추어서 설계하였다. 이를 고려하여 design한 hardware를 130nm CMOS 공정에서 합성을 하였으며 이 때, 최대 416MHz에서 동작함을 알 수 있었고, 면적을 고려하지 않았을 때에 비해 Equivalent 2-input NAND gate count가 20%가량 감소하였다.

II. 본론

ALF를 위해서는 세 가지 하위 프로세스가 존재하는데 이는 다음과 같다.[3] 첫 째, 그림의 바깥쪽 경계나 filtering 하고자 하는 Block의 경계에서는 필요한 픽셀 값들이 존재하지 않는 경우가 있는데 이 때, 이웃한 픽셀 값들로 채워주는 boundary padding 프로세스가 있다. 그러나 이는 본 연구에서 hardware design을 할 시에는 이미 padding이 완료되어 있는 값을 sample로 이용하였으므로 이 과정은 생략되었다. 두 번째는 필터 계수들을 추출해내는 과정이다. 이는 과거의 그림 또는 현재의 그림을 이용한 통계적 특성을 통해 구해진다. 이 또한 본 연구에서는 hardware로 구현하지 않았으며 이미 필터 계수는 주어진 입력값으로 간주하였다. 마지막 과정이 주어진 sample과 필터 계수들을 이용해서 필터링을 수행하는 과정인데 여기가 본 연구의 핵심부분에 해당된다. 본 section에서 이 부분에 대해 중점적으로 다루고자 한다.

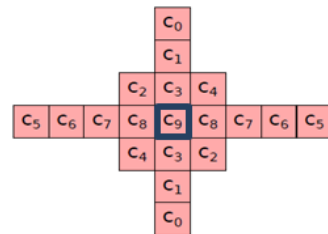
2.1 Filtering

Filtering을 수행하는 과정은 다음과 같다. 먼저 주어진 필터 계수와 그 필터 계수가 있는 위치에 대응되는 픽셀 값을 각각 곱한다. 이 때 필터의 모양이 대칭적이고 그에 따라 필터 계수 값들도 대칭적이기 때문에 같은 필터에 대응되는 픽셀 값들에 대해 먼저 합을 취한 후 곱하도록 한다. 그리고 그 값들을 모두 더한 후 픽셀 값의 비트 깊이인 8bit에 해당하는 만큼 반올림(128을 더하고 8bit 만큼 오른쪽으로 쉬프트 시키는 과정)을 수행한다. 마지막으로 그 값이 0과 255 사이의

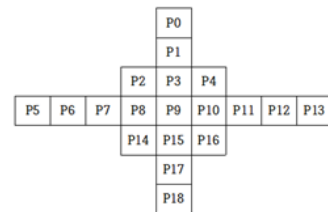
값에 해당되면 그 값을 그대로 필터링 된 픽셀 값으로 얻어내고 아니라면 0보다 작을 때는 0으로 255보다 클 때는 255로 clipping 시켜서 필터링 된 픽셀 값을 얻어내게 된다. 이 때 얻어진 필터링 된 픽셀 값은 필터 모양에서 센터 위치에 해당하는 값이다(그림1에서 C9에 해당하는 위치). 이를 수식으로 나타내면 다음과 같다.

$$S_x = (P_0 + P_{18}) \times C_0 + (P_1 + P_{17}) \times C_1 + (P_2 + P_{16}) \times C_2 + (P_3 + P_{15}) \times C_3 + (P_4 + P_{14}) \times C_4 + (P_5 + P_{13}) \times C_5 + (P_6 + P_{12}) \times C_6 + (P_7 + P_{11}) \times C_7 + (P_8 + P_{10}) \times C_8 + P_9 \times C_9$$

$$(Filtered\ Pixel) = \begin{cases} 0 & (S_x + 128) \gg 8 \leq 0 \\ 255 & (S_x + 128) \gg 8 \geq 255 \\ (S_x + 128) \gg 8 & otherwise \end{cases}$$



Filter coefficients



Input pixel value

그림 1 Filter coefficients and Input pixel value.

2.2 High Throughput

2.1에서 설명한 필터링 과정을 high throughput으로 구현하기 위해서 기존에 연구되어 있는 방향인 pipelining 기술을 적용하였다.[2] 하지만 기존에 연구되어 있는 방식은 단순히 timing을 고려하지 않고 각 연산마다 pipelining을 수행하는 비효율적인 측면이 발견되어 이를 개선하고자 CSA(Carry Save Adder)를 이용해 timing을 분석하여 pipeline stage수를 줄였다. 본 연구에서 구현한 ALF Core Hardware는 총 3 pipeline stage이다. 첫 번째 stage에서 각 계수마다 곱치는 픽셀 값들을 더하는 작업을 수행한 후 곱셈을 진행하며 두 번째부터 clipping 전 stage까지는 나온 결과 값들을 모두 합산하는 과정을 수행한다(이 때

CSA이용). 그리고 마지막 stage에서 clipping 작업을 수행함으로써 필터링 된 픽셀 값을 얻어낸다. 이를 Design 한 ALF core구조가 그림2에 나타나있으며 이에 쓰인 Component들이 표1에 나타나있다.

Components	Count
Input Samples	19
Coefficients	10
Ripple Adders	10
Carry Save Adders	9
Multipliers	10
Clipping	1
Pipeline Stage	3

표 1 ALF core components

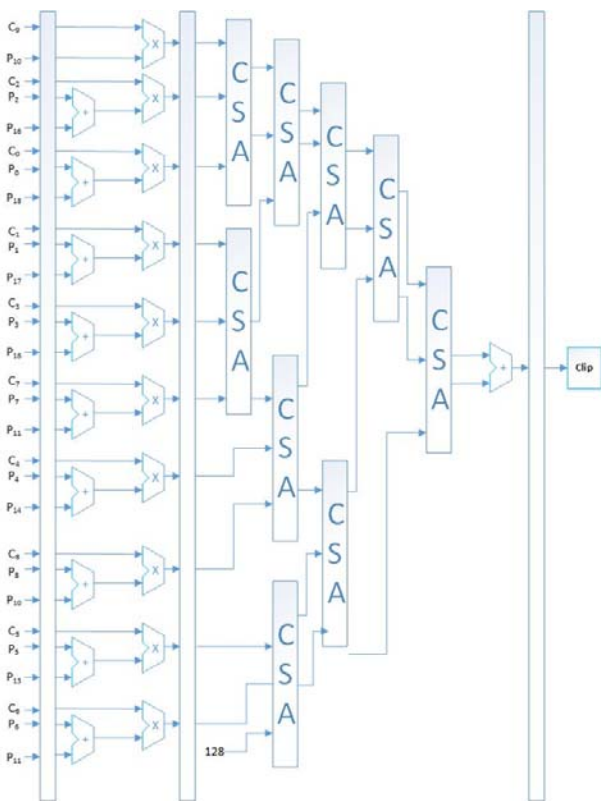


그림 2 Proposed ALF core hardware architecture

2.3 Low Area

그림2의 ALF core hardware architecture를 보면 첫 번째 pipeline stage에서 상당히 많은 functional unit들 (특히 multiplier)이 존재하는 것을 볼 수 있으며 그에 연결된 pipeline register들이 많은 것을 알 수 있다. 그러므로 이 functional unit들 자체의 면적과 functional unit으로 들어가는 input이 저장되는 pipeline register들의 면적을 줄일 수 있다면 전체적인 ALF core design의 면적이 줄어들 것이라는 것은 의심할 여지가 없다. 그래서 본 연구에서 접근한 방법은 다음과 같다.

먼저 pixel값들에 대한 정보는 bit depth가 8bit로 고정이기 때문에 이와 관련된 register의 크기나 functional unit으로 들어가는 input depth를 줄일 수는 없다. 하지만 필터 계수의 경우는 이와 다르다. 필터 계수의 경우, 필터 모양에서 센터 값이 가장 큰 값을 나타내며 센터에서 멀어질수록 계수의 값이 작은 성질을 나타낸다. 그러므로 필터 계수들의 bit depth를 다르게 정의할 수 있는 셈이다. 하지만 기존 연구에서는 필터 계수들의 bit depth를 10bit로 정의하고 있다[1]. 이 bit depth를 최적화를 시킨다면 줄어드는 bit depth에 따라서 연결된 register의 면적과 functional unit의 면적이 줄어들 것이다. bit depth의 최적화를 위해 HM7.0 software reference code[5]를 이용해서 여러 가지 영상에 대해 100 frame이상 인코딩 해보면서 필터 계수들의 통계자료를 얻어내었다. 그에 따라 최적화된 필터 계수의 bit depth를 정리한 것이 아래 표2에 나타나 있다.

Coefficients	Bit depth
C ₀	5
C ₁	6
C ₂	7
C ₃	8
C ₄	7
C ₅	7
C ₆	7
C ₇	7
C ₈	8
C ₉	9

표 2 Bit depth of filter coefficients

III. 구현

본론에서 제안된 고성능 및 저면적 ALF core hardware를 Verilog HDL을 이용해서 설계하여 Verification을 수행하였다. 130nm CMOS 공정 환경에서 이 design을 합성하였으며 이 때, 기존연구의 경우 maximum operation frequency는 대략 500MHz로 나타났고 본 논문에서 제안한 구조의 경우 대략 416MHz로 나타났다. 하지만 maximum frequency의 경우 실시간에서 영상에 대해 처리할 때 전체적인 시스템 관점에서 고려하면 416MHz면 충분하다고 볼 수 있다. 본 연구에서 제안한 핵심인 low area 측면에서의 결과는 합성 결과로 알 수 있는 Gate count(2-input NAND)를 이용해서 증명하였다. 이와 관련된 결과를 표3에 정리하였다. Gate count 측면에

서 보았을 때 필터 계수들의 bit depth를 10bit으로 고정하고 timing을 고려하지 않은 채 단순한 형태의 pipelining을 통해서 구현했을 때(기존 연구)에 비해 최적화된 bit depth를 이용한 design(제안된 구조)이 20%정도 gate count가 줄어들었음을 확인 할 수 있었다.

기능	기존 연구	제안된 구조
Gate count (NAND2)	16.3K	13K (20% reduction)
최대 동작 주파수	500Mhz	416Mhz

표 3 Results of synthesis with 130nm CMOS 공정

여러 가지 해상도에 대해 제안된 구조를 이용해 ALF를 적용할 시 1초에 몇 frame을 filtering 할 수 있는지를 계산한 결과가 표4에 나타나있다. 이 때 표4의 결과는 처음 filtering된 pixel data 결과가 나올 때까지 걸리는 cycle이 3cycle이고 그 이후에는 1cycle마다 결과가 하나씩 나오고 416MHz에서 동작하며 모든 pixel이 filtering된다는 가정 하에 계산한 결과이다.(즉 worst case에 해당된다)

영상 해상도	Frame/sec
720p(1280×720)	451
1080p(1920×1080)	200
WQXGA(2560×1600)	101
QFHD(3840×2160)	50

표 4 Frame/sec for each resolution

IV. 결론 및 향후 연구 방향

본 논문에서는 timing을 고려한 pipelining을 통한 고성능, 필터 계수들의 통계적 특성을 이용한 저면적 특징을 갖는 ALF core hardware를 제안하였다. 기존의 필터 계수의 통계적 특성을 고려하지 않은 hardware에 비해 본 논문에서 제안한 저면적 hardware의 경우 20%정도 gate count가 줄어들었으며 그에 따라 면적이 줄어들었다는 결론을 도출해낼 수 있다.

현재 제안한 hardware design은 ALF 프로세스 중에서도 filtering을 수행하는 ALF core부분에 대해서만 집중적으로 다루었다. 향후 연구 방향은 나머지 하위 프로세스에 해당하는 boundary padding과 필터 계수들을 추출하는 과정 또한 hardware로 design해서 전체

적인 ALF Top 모듈을 만드는 것이 되겠다.

Acknowledgement

이 논문은 2013년 정부(미래창조과학부)의 재원으로 (재)스마트 IT 융합 시스템 연구단(글로벌프론티어사업)의 지원을 받아 수행된 연구임 ((재)스마트 IT 융합시스템 연구단-2011-0031860)

참고문헌

- [1] Ching-Yeh Chen, Chia-Yang Tsai, Yu-Wen Huang, Tomoo Yamakage, In Suk Chong, Chih-Ming Fu, Takayuki Itoh, Takashi Watanabe, Takeshi Chujoh, Marta Karczewicz, and Shaw-Min Lei, "The Adaptive Loop Filtering Techniques in the HEVC Standard", Proc. SPIE 8499, Applications of Digital Image Processing XXXV, 849913, 2012
- [2] Cassio Cristani, Pargles Dall'Oglio, Marcelo Porto, "High Throughput Hardware Design for the Adaptive Loop Filter of the Emerging HEVC Video Coding", Integrated Circuits and Systems Design (SBCCI), 2012
- [3] Fabiane Rediess, Cassio Critani, Pargles Dall'Oglio, Marcelo Porto, Luciano Agostini, "Architectural Design for the Adaptive Loop Filter of the Emerging High Efficiency Video Coding Standard", XXVII SIM - South Symposium on Microelectronics, 2012
- [4] 정세윤, 김종호, 조숙희, 최진수, 김진웅, "HEVC에서의 적응적 루프 필터링 고속화 알고리즘 연구", 제 24회 영상처리 및 이해에 관한 워크샵, 2012
- [5] 심동규, 조현호, 교효율 영상 부호화 기술 HEVC 표준 기술의 이해, 홍릉과학출판사, pp.332-376, 2014.